

AMPLIFIER CIRCUIT

Patent Number: JP2001044770
Publication date: 2001-02-16
Inventor(s): KOMATSU KAZUHIRO; KIDO KEISUKE
Applicant(s): FUJITSU TEN LTD
Requested Patent: ☐ JP2001044770
Application Number: JP19990217480 19990730
Priority Number(s):
IPC Classification: H03F3/34; H03F1/30; H03F3/45
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To correct an offset even when a system integrated with the amplifier circuit is operated and to enhance the correction accuracy by decreasing the offset correction time.
SOLUTION: The amplifier circuit with an operational amplifier 1 is provided with an offset correction circuit consisting of a comparator circuit 3, a level shift circuit 5, and an adder circuit including a resistor R3. When the amplifier circuit amplifies no input signal S, a center level E0 of the signal S is applied to an input of the operational amplifier 1 through a changeover circuit 2. Then the comparator circuit 3 compares an output of the operational amplifier 1 with the level E0, a counter 6 counts up by one for each prescribed time according to the comparison result, and a D/A converter 7 gives an analog value corresponding to the count to a resistor R3 of the adder circuit. Then the offset of the operational amplifier is corrected by adding a correction voltage with a prescribed changing amount at a summing rate depending on the resistance of the resistor R3.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-44770

(P2001-44770A)

(43) 公開日 平成13年2月16日 (2001.2.16)

(51) IntCl. ⁷	識別記号	F I	テレポート* (参考)
H 0 3 F	3/34	H 0 3 F	A 5 J 0 6 6
	1/30		Z 5 J 0 9 0
	3/45		Z 5 J 0 9 1

審査請求 未請求 請求項の数24 O L (全 15 頁)

(21) 出願番号 特願平11-217480

(22) 出願日 平成11年7月30日 (1999.7.30)

(71) 出願人 000237592

富士通テン株式会社

兵庫県神戸市兵庫区御所通 1 丁目 2 番28号

(72) 発明者 小松 和弘

兵庫県神戸市兵庫区御所通 1 丁目 2 番28号

富士通テン株式会社内

(72) 発明者 木戸 啓介

兵庫県神戸市兵庫区御所通 1 丁目 2 番28号

富士通テン株式会社内

(74) 代理人 100077517

弁理士 石田 敬 (外4名)

最終頁に続く

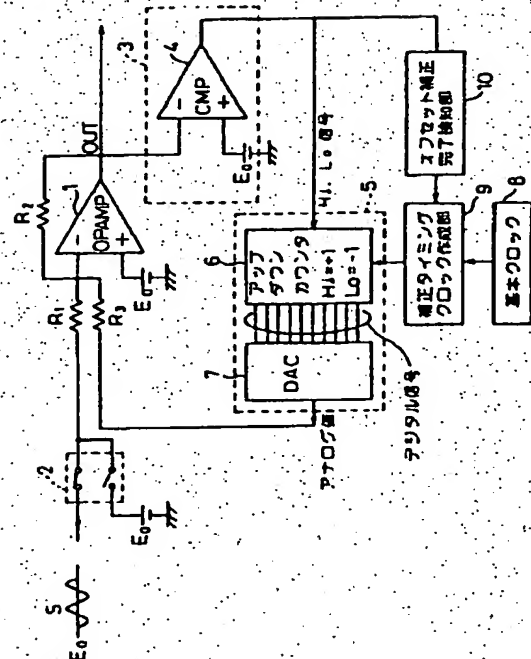
(54) 【発明の名称】 増幅回路

(57) 【要約】

【課題】 増幅回路が組み込まれたシステムが動作中でもオフセット補正できるようにし、さらに、オフセット補正時間を短縮し、補正精度の向上を図る。

【解決手段】 オペアンプ1を有する増幅回路は、比較回路3、レベルシフト回路5、及び抵抗R₃を含む加算回路からなるオフセット補正回路を備えている。入力信号Sが前記増幅回路で増幅されていないとき、切換え回路2はオペアンプ1の入力に信号Sの中心値E₀を印加する。そして比較回路3でオペアンプ1の出力とE₀を比較し、その結果によりカウンタ6は所定時間毎に1カウントし、DAC 7はそのカウント値に対応するアナログ値を加算回路の抵抗R₃に供給する。そして、抵抗R₃で決まる加算率で所定変化量の補正電圧をオペアンプ1の入力に加算していくことにより、オフセット補正を行う。

図4



【特許請求の範囲】

【請求項1】 入力信号を増幅するオペアンプの入力に、前記入力信号の代わりに参照基準電圧を供給することができる増幅回路であって、

前記オペアンプの直流出力を基準電圧と比較する比較回路と、

前記比較回路の出力信号に基づいて前記オペアンプの入力に直流出力を加算するレベルシフト回路とを有し、前記直流出力の加算により前記オペアンプのオフセット電圧を補正するようにした増幅回路

【請求項2】 前記比較回路の前記基準電圧は前記参照基準電圧と同じであることを特徴とする請求項1に記載の増幅回路

【請求項3】 前記比較回路の前記基準電圧は前記参照基準電圧とは、異なる大きさであることを特徴とする請求項1に記載の増幅回路

【請求項4】 前記比較回路の出力信号の変化からオフセット補正を完了したことを検出することを特徴とする請求項1に記載の増幅回路

【請求項5】 前記レベルシフト回路は、所定時間毎に所定幅ずつ変化する直流出力を前記オペアンプの入力に加算することを特徴とする請求項1に記載の増幅回路

【請求項6】 前記所定幅の大きさを変更できることを特徴とする請求項5に記載の増幅回路

【請求項7】 前記所定幅は、前記所定期間毎に、段階的に大きくなるように変化することを特徴とする請求項6に記載の増幅回路

【請求項8】 前記所定幅は、オフセット電圧を補正する途中において前記所定幅の大きさより小さい幅に変わることを特徴とする請求項6に記載の増幅回路

【請求項9】 前記所定幅によるオフセット補正後において、残った前記所定幅のオフセット電圧を、前記所定幅の大きさより小さい幅で補正することを特徴とする請求項6に記載の増幅回路

【請求項10】 前記レベルシフト回路は、所定時間毎に所定幅ずつ変化する直流出力を所定の加算率で前記オペアンプの入力に加算することを特徴とする請求項1に記載の増幅回路

【請求項11】 前記加算率を変更することができることを特徴とする請求項10に記載の増幅回路

【請求項12】 前記所定幅ずつ変化する直流出力を所定の加算率で前記オペアンプの入力に加算するとき、前記加算率を複数の率から選択できることを特徴とする請求項11に記載の増幅回路

【請求項13】 前記所定幅ずつ変化する直流出力を前記オペアンプの入力に加算するとき、前記所定時間の長さを変更できることを特徴とする請求項5-12のいずれか一項に記載の増幅回路

【請求項14】 前記所定幅でオフセット補正を完了した後に、前記所定時間の長さ補正完了前の時間より長く

したことを特徴とする請求項13に記載の増幅回路

【請求項15】 前記レベルシフト回路は、前記所定時間内に前記比較回路の出力信号を受けてカウントするアップダウンカウンタ、該カウンタのカウント値に応じた直流信号を出力するデジタルアナログ変換器、及び前記直流出力を前記オペアンプの入力に加算する加算回路を含むことを特徴とする請求項1に記載の増幅回路

【請求項16】 前記レベルシフト回路は、複数の補正経路を有し、前記各経路にそれぞれアップダウンカウンタ及びデジタルアナログ変換器を含んでいることを特徴とする請求項15に記載の増幅回路

【請求項17】 前記複数の補正経路における前記加算回路の加算率が異なることを特徴とする請求項16に記載の増幅回路

【請求項18】 前記レベルシフト回路は、前記加算回路の加算率が異なる第1補正経路と第2補正経路を有し、前記第1補正経路に含まれるデジタルアナログ変換器がアップダウンカウンタの上位ビット側に、そして前記第2補正経路に含まれるデジタルアナログ変換器がアップダウンカウンタの下位ビット側にそれぞれ接続されていることを特徴とする請求項16に記載の増幅回路

【請求項19】 前記アップダウンカウンタは前記所定時間の長さを変えることができることを特徴とする請求項15に記載の増幅回路

【請求項20】 前記アップダウンカウンタは前記所定時間毎のカウント数を変更できることを特徴とする請求項15に記載の増幅回路

【請求項21】 前記アップダウンカウンタは初期値を設定でき、オフセット補正開始時に前記初期値からカウントを開始することを特徴とする請求項20に記載の増幅回路

【請求項22】 前記初期値は次のオフセット補正のために保持されていることを特徴とする請求項21に記載の増幅回路

【請求項23】 前記デジタルアナログ変換器は、前記アップダウンカウンタの出力に応じた異なる変化幅のアナログ値を出力することができ、前記所定時間保持することを特徴とする請求項15に記載の増幅回路

【請求項24】 前記加算回路は、前記オペアンプの入力に接続されかつ加算率を決める抵抗を含み、該抵抗値の大きさを変更できることを特徴とする請求項15に記載の増幅回路

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、増幅回路が組み込まれたシステムが動作中でも、オペアンプの出力に発生するオフセット電圧を補正することができる増幅回路に関する。

【0002】

【従来の技術】オペアンプは、今日のエレクトロニクス分野で欠くことのできない回路素子となっており、差動アンプにより構成された応用範囲の広い増幅器である。そして、ほとんどのオペアンプは他の回路素子とともにIC化されている。このオペアンプは、差動入力型であるため、温度や電源変動等により出力電圧に変動が発生する。一般に、オペアンプをDCアンプとして動作させたとき、この出力電圧をゼロにするために必要な入力電圧をオフセット電圧と呼んでいる。通常、オペアンプを使用するときには、オフセット電圧を補正するゼロ調整が行われている。

【0003】図1は、従来のオペアンプを示している。このオペアンプ1は、反転増幅回路であり、その利得は、入力抵抗 R_1 及び帰還抵抗 R_2 で決まる。そして、入力信号 S の中心値が E_0 であるため、非反転入力端子にはバイアス電圧 E_0 が印加されている。オペアンプ1の反転入力INに中心値 E_0 の信号 S を入力したときの出力波形を、図2及び図3に示した。図2においては、オペアンプ1の反転入力INに入力される中心値 E_0 の信号 S を入力信号INとして示し、その入力信号INを抵抗 R_1 、 R_2 で決まる利得で増幅した出力信号をOUTで示している。図2の場合は、出力信号OUTにオフセットが発生していない理想状態を示している。

【0004】一方、図3の場合は、オペアンプ1に1Vのオフセットが発生し、出力信号OUTの中心値が入力信号INの中心値から1Vずれている状態を示している。ここで、抵抗値が $R_1 = 1\text{ k}\Omega$ 、 $R_2 = 100\text{ k}\Omega$ であると、オフセット電圧が10mVあっても、増幅回路の利得によって、出力信号OUTの中心値がバイアス電圧 E_0 から1Vずれてしまう状態を示している。

【0005】

【発明が解決しようとする課題】図3に示したように、オペアンプ1の持つオフセットが±10mVであっても、出力信号の中心値のずれは、100倍の±1Vになってしまう。図1に示した高い利得を有するオペアンプでは、オペアンプが持つオフセット電圧により出力信号の中心値がずれ、その結果、出力電圧のダイナミックレンジが減少するという問題がある。

【0006】出力信号の中心値がずれることによって、出力ダイナミックレンジが1V狭まるだけでなく、出力信号に不要なDC成分が重畳されることになって、オペアンプの後段処理に影響を与えている。さらに、図3にも示されているように、入力信号の大きさによっては出力信号の一部がカットされてしまい、出力信号に歪みが発生する問題がある。

【0007】オペアンプに発生するオフセットに対して、オペアンプの非反転入力側のバイアス電圧 E_0 を調整する等の種々の方策が行われていた。しかし、これらの方策は、オペアンプの使用前に予め調整を行っておくものであって、オペアンプの動作中には調整されない。

そこで、本発明は、オペアンプが使用中であっても、出力信号の中心値のずれを随時調整できるようにするものである。

【0008】

【課題を解決するための手段】そこで、上記の課題を解決するため、本発明ではオペアンプを含む増幅回路において、前記オペアンプの直流出力を基準電圧と比較する比較回路と、前記比較回路の出力信号に基づいて前記オペアンプの入力に直流出力を加算するレベルシフト回路とを備え、前記増幅回路が入力信号を増幅していない期間に、前記直流出力を加算することにより前記オペアンプのオフセット電圧を補正するようにした。

【0009】

【発明の実施の形態】以下、本発明の実施形態について説明する。

【第1の実施形態】第1の実施形態では、オペアンプを用いた増幅回路において、入力信号の増幅を行わない期間を有する場合、その期間を利用して、オペアンプに発生したオフセット電圧を補正するようにした。

【0010】図4を参照して、増幅回路にオフセット補正回路を設けた構成を説明する。増幅回路は、オペアンプ1、入力抵抗 R_1 及び帰還抵抗 R_2 で構成され、 $(R_1 + R_2) / R_1$ の利得を有している。ここで、たとえば、 $R_1 = 1\text{ k}\Omega$ 、 $R_2 = 100\text{ k}\Omega$ とすると、その利得は、約100倍となる。そして、オペアンプ1の非反転入力端子にはバイアス電圧 E_0 が印加される。オペアンプ1の反転入力端子には、入力抵抗 R_1 を介して、中心値 E_0 の入力信号 S が入力される。

【0011】図4の増幅回路では、抵抗 R_1 の前段に切換え回路2が接続されている。この切換え回路2は、オペアンプ1の反転入力端子に、入力信号 S とバイアス電圧 E_0 とのいずれかを入力できるように切り換えられることができる。なお、切り換え回路2にバイアス電圧 E_0 を備えている。これは、オフセット補正時に、増幅回路の出力信号中に含まれるオフセット電圧を明確にするため、入力信号 S の中心値 E_0 を模擬するものである。

【0012】オペアンプ1の出力OUTには、比較回路3が接続されており、この比較回路3は、比較器4で構成され、オペアンプ1の出力が比較器4の反転入力端子に入力され、そして、非反転入力端子には、比較すべきバイアス電圧 E_0 が印加されている。なお、このバイアス電圧 E_0 はオペアンプ1の非反転入力端子に入力されるバイアス電圧又は上記切換え回路2のバイアス電圧と共通電源であってもよい。

【0013】比較回路3の出力は、レベルシフト回路5に入力される。このレベルシフト回路5は、アップダウンカウンタ6及びデジタル・アナログ変換器(DA-C)7で構成される。アップダウンカウンタ6は、比較器4の出力がHiであるとき、即ちオペアンプ1の直流出力がバイアス電圧 E_0 より小さいとき、1をアップカ

ウントし、比較器4の出力が1.0であるとき、即ちオペアンプ1の直流出力がバイアス電圧 E_0 より大きいとき、1をダウナカウントする。そして、DAC7は、比較器4の出力に応じたカウント値に対するアナログ値の信号を出力し、保持指定する。

【0014】ここで、アップダウンカウンタ6のカウント動作タイミングは、補正タイミング作成部9により調整される。補正タイミング作成部9は、基本クロック回路8から出力されるクロック信号を基準にし、カウンタ6が比較器4の出力に応じて1カウントしてから次に1カウントするタイミング時間を作成する。そして、このタイミング時間によってカウンタ6のカウント動作を調整している。

【0015】さらに、増幅回路には、付加抵抗 R_3 がオペアンプ1の反転入力端子に接続され、オペアンプ1と、抵抗 R_1 、 R_2 及び R_3 とにより、直流電圧に対する加算回路を形成している。この加算回路の動作について説明する。オペアンプ1の出力OUTにオフセット電圧 V が発生しているとする、オペアンプ1の基準電圧は E_0 であるから、抵抗 R_2 の両端には V の電圧が発生している。そのため、抵抗 R_2 の両端の電圧 V に相当する電圧を抵抗 R_3 に発生させ、オペアンプ1の反転入力端子に当該電圧を印加すれば、上記出力電圧からオフセット電圧 V を無くすことができる。

【0016】抵抗 R_3 に電圧 V を発生させるためには、付加抵抗 R_3 にDAC7のアナログ信号を供給し、オペアンプ1の反転入力端子にアナログ値に対応する直流電圧を付加する。付加抵抗の値は、例えば、 $R_3 = 100\text{ k}\Omega$ としている。この場合、加算率は $R_2 / R_3 = 1$ であるから、直流電圧の大きさをそのまま付加することができる。

【0017】以上のような構成で、オペアンプ1、比較器4、レベルシフト回路5及び付加抵抗 R_3 により、オフセット補正回路を形成している。次に、上記増幅器におけるオフセット補正回路の動作について、図5を参照して説明する。図5において、領域Aは入力信号 S を増幅している期間を、領域Bはオフセット補正中を、そして、領域Cはオフセット補正を終了して再び入力信号 S を増幅している期間を示している。

【0018】図5では、図4に示された増幅器に入力信号 S が入力され、図中の領域Aにおいて、オペアンプ1でオフセットが発生していることを示している。領域Aでは、中心値であるバイアス電圧 E_0 からオフセット電圧 V だけずれたオペアンプ1の出力を示し、中心値 E_0 から $+V$ ずれた場合を信号 S_1 、 $-V$ ずれた場合を信号 S_2 で表している。

【0019】ここで、時刻 t_1 に増幅された信号を回路において使用しないとき、切換え回路2のスイッチが、増幅回路の入力信号側からバイアス電圧 E_0 側に切り換えられる。そうすると、オペアンプ1は実質的に信号の

増幅動作を停止する領域Bに入る。このとき、このバイアス電圧を E_0 としているのは、入力信号のバイアス電圧が E_0 であり、オフセットが発生しているかどうかを判断できるようにするためである。

【0020】次に、オフセット電圧 $+V$ だけずれた信号 S_1 の場合について説明する。信号時刻 t_1 において、オペアンプ1の反転入力端子に電圧 E_0 が印加されると、オペアンプ1の出力OUTには、 $(E_0 + V)$ の直流電圧が出力される。比較器4に $(E_0 + V)$ の直流電圧が入力されると、比較器4は、バイアス電圧 E_0 と前記直流電圧を比較する。このとき、前記直流電圧がバイアス電圧 E_0 より小さいから、比較器4はH1信号を出力する。

【0021】ここで、レベルシフト回路5の動作を説明する。図2に示されるように、中心値が2.5Vであるとする、図4におけるバイアス電圧 E_0 は2.5Vに設定される。そして、レベルシフト回路5のDAC7が10bitで構成されているとすると、DAC7は512段階のアナログ値を出力できる。そうすると、カウンタ6のカウント値に応じては最大2.5Vを512段階で変更できる。つまり、前述した加算回路の加算率が1であると、DAC7の変化量は1LSB(最下位ビット)で約5mVずつ変更が可能となる。オフセット電圧が1Vであれば、5mVまで小さくできることとなり、1/200までオフセットの影響を改善できる。

【0022】このレベルシフト回路5が、比較器4からH1信号を受けると、カウンタ6が1カウントアップし、DAC7は5mVに相当するアナログ信号を加算回路に出力するとともに、その値を保持している。加算回路において、帰還抵抗 R_2 と付加抵抗 R_3 とは同じ値となっているので、直流電圧は、そのままの値で加算される。そのため、レベルシフト回路5のアナログ信号はオペアンプ1の反転入力端子に印加されているので、オペアンプ1の直流出力は、1LSB、つまり5mVだけ低下することになる。

【0023】なお、電圧比較からDACのカウント値変化までの時間 T_1 は、補正タイミング作成部9で決められ、アンプを含んだ系が安定する時間以上に設定される。また、1LSBの大きさは、DACの分解能と加算回路のゲインで決まるものである。この様にして、オペアンプ1の直流出力は時間 T_1 毎に1LSBずつ低下し、中心値 E_0 に近づき、最後に中心値 E_0 になる。しかし、オペアンプ1の直流出力が中心値 E_0 に近づき、DACの分解能以下の値になると、比較器4が比較判断することができなくなるため、中心値 E_0 近傍で1LSBの幅で変動することとなる。

【0024】時刻 t_2 に入力信号の増幅を行わない期間である領域Bが終わり、切換え回路2のスイッチが入力信号側に切り換えられると、オペアンプ1がオフセット補正された状態で動作する領域Cが開始される。このと

き、前述したように、オペアンプ1の直流出力は中心値 E_0 近傍で1LSBの幅で変動しているから、時刻 t_2 のタイミングによっては、1LSBだけ残る場合もあり得るが、図4で示した設定条件であると、オフセットの誤差を1/200まで改善できる。

【0025】また、オフセット電圧が $-V$ ずれた信号 S_2 の場合、そのオフセット補正については、上記した加算回路が減算となるように動作するものであり、信号 S_1 の場合と同様の手順で行われる。以上のオフセット補正の手順を、図6のフローチャートを参照して、説明する。

【0026】図4で示した増幅回路において、入力信号 S が増幅処理される領域Aであるかどうかが判断される(ステップS1)。入力信号 S が増幅処理中であると(Y)、切換え回路2は入力信号側のままであり(ステップS2)、オペアンプ1で入力信号 S は増幅される(ステップS3)。

【0027】次に、入力信号 S が増幅処理中でない場合(N)、切換え回路2はバイアス電圧 E_0 側にスイッチを切り換え(ステップS4)、オペアンプ1に直流電圧 E_0 を出力する。そして、オペアンプ1の出力と比較器4のバイアス電圧 E_0 とが比較され(ステップS5)、オペアンプ1の出力が比較器4のバイアス電圧 E_0 より大きいとき(Y)、DAC7の出力値を1LSBだけ加算し(ステップS6)、そうでないとき(N)、DAC7の出力値を1LSBだけ減算する(ステップS7)。

【0028】ステップS6又はステップS7の処理が終わると、カウントタイmingT₁はアンプを含んだ系が安定する時間以上に設定されており、そのため次のカウント動作はT₁後に行われる(ステップS8)。さらにステップS1に戻り、そのときに入力信号を増幅処理中でなければ(N)、オペアンプ1の出力とバイアス電圧 E_0 との比較動作が繰り返され、オペアンプ1の出力電圧がバイアス電圧 E_0 になるまでこのループが繰り返される。

【0029】しかし、図7に示すように、オフセット補正の終了に近づいても、中心値 E_0 近傍でオフセット電圧値は1LSBの幅で変動しているから、その補正がいつ完了したかわからない。オフセット電圧 V の大きさによっては、領域Bの期間より短い時間で終わる場合もある。そこで、図4に示すように、比較回路3の出力変化を監視するオフセット補正完了検知部10を設ける。この検出部10は、比較器4の出力がH₁又はL₀かを検知する。例えば、時間T₁毎にH₁信号が連続するときにオフセット補正中であると判断するが、出力H₁からL₀への変化を繰り返すときはオフセット補正が完了したものと判断する。そのとき、図7では、時刻 t_3 にオフセット補正完了フラグを出力する。そのフラグを参照すれば、オフセット補正状態を解除したり、オフセット補正回路の診断を行ったり、また、補正分解能を切

り換えたりするときに便利である。

【0030】以上のように、第1の実施形態によれば、オペアンプ1の設定ゲインに影響されることなく、オフセット補正を行うことができる。そして、システム的に動作中に自己補正しているので、温度によるオフセット変化や、電源電圧の変化による値の変化までも補正することができる。さらに、アナログ回路とデジタル回路とが混載されているような場合には、上記オフセット補正回路の実現は非常に容易であり、汎用性が高い。

【0031】〔第2の実施形態〕第1の実施形態では、図4において比較回路3のバイアス電圧 E_0 は入力信号 S の中心値と同じ値に設定されていた。これは、オペアンプ1においてオフセット発生による出力信号の中心値のずれを補正しようとするものであった。しかし、オペアンプが1C回路に組み込まれて使用される場合、当該オペアンプの後段にある回路の信号処理で、処理すべき信号の片振幅が不要である場合がある。例えば、オペアンプの後段が半波整流回路、ヒークホールド回路等である場合には、信号の片振幅側は使われない。

【0032】そこで、第2の実施形態では、比較回路3における比較電圧を任意の値に設定することにより、信号の中心値を任意に変更できるようにした。図8を参照して、信号の片振幅側を有効に使えるように信号の中心値を意図的にずらす場合について説明する。入力信号 S は、図2又は図3で示したものと同様であり、中心値、即ちバイアス電圧は $E_0 = 2.5V$ である。第1の実施形態では、比較回路3の比較電圧を信号 S の中心値 E_0 に等しくして、オペアンプの出力信号のオフセット電圧1Vを0Vに補正するものである。

【0033】しかし、第2の実施形態では、比較電圧を中心値 E_0 より高い任意の電圧 E_1 に設定しておく。するとオペアンプの出力信号の中心値が図示のように、 E_0 より高い E_1 となる。中心値 E_1 より上の信号部分は、カットされて重むことになるが、中心値 E_1 より下の信号部分は所定利得で増幅される。よって、オペアンプの後段にある回路は、図8に示された出力信号の E_1 より下側の信号部分を処理することができる。さらに、比較電圧 E_1 を E_0 より高くしたことにより、図示の E_1 より下側の信号部分のダイナミックレンジが拡大されることになる。

【0034】ここで、第2の実施形態における回路構成について、図9を参照して説明する。図9は、図4に示された第1の実施形態の回路構成と同様であり、同じ部分には、同じ符号を付した。図8と図4との回路構成で異なるところは、比較器4に接続されたバイアス電圧が、図4では E_0 であるのに対し、図8では、 E_1 となっていることである。

【0035】図9に示された回路構成による増幅器の動作手順は、図6に示したフローチャートと同様である。そして、図9に示された増幅器でも、図5に示されたよ

うに、入力信号Sの増幅を行わない期間である領域Bにおいて、図4の増幅器のオフセット補正と同様の信号処理を行い、出力信号の中心値を E_0 から E_1 に変更している。

【0036】図9に示した増幅回路において、出力信号の中心値を E_0 から E_1 に変更する動作を説明する。例えば、出力信号の中心値 $E_0 = 2.5V$ を任意の電圧4Vに変更する場合を考える。オペアンプ1の直流出力を4Vにするためには、オペアンプ1の反転入力端子の電圧は切換え回路2のバイアス電圧 E_0 によって2.5Vとなっているので、抵抗 R_2 の両端には、1.5Vの電位差がなければならぬ。一方、抵抗 R_2 と R_3 には同じ電流が流れているので、抵抗 R_2 の両端に1.5Vの電圧が発生するようにDAC7から電流を供給してやればよい。この様に、付加抵抗 R_3 を介してオペアンプ1の反転入力端子に2.5Vの電圧を付加することになる。したがって、レベルシフト回路5は2.5Vの電圧を補正することになる。

【0037】出力信号の中心値に、図3に示されるようなバイアス電圧 E_0 からのずれVが発生していても、切換え回路2のバイアス電圧を E_0 としているので、抵抗 R_3 の両端電圧を1.5Vになるように動作することにより、出力信号における中心値のずれの補正も含めて補正される。一方、この実施形態では、比較電圧値 E_1 は固定して説明したが、信号の中心値を補正中に変えることにより、当該オペアンプを含むシステム動作中に信号の中心値を変更することが可能である。この場合、比較器4に接続された比較電圧を可変電圧とすればよい。オフセット補正時間 $= T_1 \times (\text{オフセット電圧}) / (1LSB)$ が領域Bの期間内であれば、中心値の変更幅は任意である。

【0038】〔第3の実施形態〕第1の実施形態では、図5に示されるように、時間 T_1 内に変化量1LSBづつ増減してオフセット電圧を変更し、出力信号の中心値をバイアス電圧 E_0 に近づけるようにしたものである。これは、図4に示された増幅器のオフセット補正回路に示すように、比較器4の出力に応じてカウンタ6が+1又は-1づつカウントし、DAC7がこのカウントに応じて1LSBづつ変化する。そのため、オフセット電圧の大きさによって、オフセット補正完了までに時間を要する。

【0039】しかしながら、特に、電源投入時や、システムのリセット時等では、オフセット補正を急速に完了しないと、システムの稼働開始を遅らせる原因となってしまう。そのため、第3の実施形態では、DAC7の変化量を大きくして、オフセット補正を急速に完了させるようにした。

【0040】第3の実施形態におけるオフセット補正のイメージを図10に示す。第3の実施形態は、図4に示されたオフセット補正回路で行われる。図10では、オ

フセット電圧Vの補正を時刻 t_1 に開始し、オフセット電圧Vを減らして信号の中心値を E_0 にするものである。ここでは、時間 T_1 内に通常1LSBづつ変化させていたのを、例えば、nLSBづつ変化させている（nは $n \geq 1$ の整数）。

【0041】この様に、DAC7の変化を大きくすることにより、早く E_0 近づけている。しかし、この場合、早く E_0 近づけることができるが、前述したように、 E_0 近傍に到達しても、nLSBの変化幅でしか比較判断されないため、nLSBの幅で変動してしまう。それ故、オフセット電圧Vを補正しても、nLSBの幅の誤差が残ってしまう。

【0042】そこで、本実施形態では図10に示すように E_0 近傍での精度を上げるため、図7で示したものと同様の手段で、nLSB幅の補正完了フラグを得るようにする。そのフラグが得られた時刻 t_3 に、DAC7の変化量をnLSBから1LSBに変える。そうすると、時刻 t_3 以降は、オフセット電圧Vを補正することとなり、時刻 t_3 以前より細かい幅で補正することができる。

【0043】よって、nLSBの幅は任意であり、nを大きい数にすると、DAC7の変化量を大きくでき、 E_0 近傍での精度を上げたことにより多少の時間を要しても、オフセット電圧Vの補正に要する時間は、オフセット補正全体としては大幅に短縮される。これまでの第3の実施形態の具体例では、時刻 t_1 にオフセット補正開始の最初からDAC7の出力をnLSBとして、補正の時間短縮を図った。それは、 E_0 近傍に到達するまでnLSBの同じ幅で補正を行っている。しかし、時間 T_1 経過毎のDAC7の変化量を一定とするのではなく、時間経過とともにその変化量を増加すれば、補正時間の短縮を図ることができる。

【0044】図11に示すように、前回までのオフセット補正動作を監視し、DAC7の変化量を増加するものである。図11では、3回アップ（又はダウン）が連続したならば、1を加えて1LSBを2LSBに変更し、さらに、3回アップ（又はダウン）が連続したならば、2LSBを3LSBに変更する。 E_0 近傍に到達するまで1LSBづつ増加させていく。つまり、図10の具体例では、補正電圧が E_0 になるまで、nLSBを時間 T_1 毎に一定としたが、図11の具体例では、いくつかの時間 T_1 毎にnの値を1づつ増加するものである。

【0045】この具体例では、 E_0 近傍に到達したときには、nが大きな値になっているから、DAC7の変化量nLSBは大きな幅となっている。したがって、補正電圧は E_0 を大きく越えることになる。そうすると、比較回路3の出力はHレベル信号からLレベル信号に変化する。今度は、補正電圧が E_0 を越えた分の電圧を補正するように動作する。このときにも、上記nLSBにおけるnの値をいくつかの時間 T_1 毎に1づつ増加していく。その

ため、再び補正電圧は E_0 を越えることになる。よって、このような動作を繰り返して、図11の曲線a（実線）で示すように、補正目標である電圧 E_0 に収斂し、オフセット電圧補正を完了する。

【0046】 参考のために、時間 T_1 毎に1LSBずつオフセット電圧補正を行う第1の実施形態の補正イメージを図11の破線bで示した。これから、上記具体例によるオフセット電圧補正の方が第1の実施形態より早く補正を完了できることが分かる。ところで、上記具体例では、補正電圧が E_0 を越えた分の電圧を補正する際にも、nLSBにおけるnの値をいくつかの時間 T_1 毎に1ずつ増加していくようにしたが、変形例として、補正電圧が E_0 を越えた分の電圧を補正するときには、DAC7の変化量を1LSBに反すようにしてもよい。この補正イメージを、図11の破線cとして示した。この変形例の場合も、第1の実施形態より早く補正を完了できることが分かる。

【0047】 これまでの具体例では、DACが時間 T_1 毎にnLSBずつの変化量を出力することにより、オフセット電圧を補正するものであったが、DACを逐次比較方式で動作するようにしてオフセット電圧を補正することができる。この方式によると、まず、補正開始時刻 t_1 にDACの最高位ビットに対応する変化量を出力する。次の時間 T_1 にその変化量の1/2の変化量を出し、そして、その次の時間 T_1 に1/4の変化量を出力する。以降時間 T_1 毎に前回の变化量の1/2を逐次出力していく。その都度、各時間 T_1 毎にオペンプ1の出力電圧と比較電圧 E_0 とを比較する。この様にして、オフセット電圧を暫時 E_0 に近づけていく。

【0048】 この方式によるオフセット電圧補正によれば、10ビットDACであれば、10回の演算で済み、大幅に補正時間の短縮を図ることができる。これらの具体例におけるDAC7の変化量の変更は、図4において、比較器4の出力に応じたカウンタ6のカウンタの仕方を定めることによって行える。つまり、カウンタ6の1回のカウンタ値を、例えば、毎回同じ場合は固定とし、また、変化させる場合は各回毎に又は所定回毎に1ずつ増加するように設定すればよい。また、逐次比較方式の場合には、最初の時間 T_1 でDACが最高位ビット値を出力するカウンタ値、次の時間 T_1 で1/2の変化量となるカウンタ値等のようにカウンタ6を設定しておけばよい。

【0049】 以上のように、第3の実施形態によれば、急速にシステムを立ち上げる等の場合に、オフセット補正の時間を大幅に短縮することができる。

【第4の実施形態】 第3の実施形態では、電源投入時や、システムのリセット時における急速なオフセット補正を完了させるために、図4に示されたカウンタ6における1回のカウンタ値を大きくすることにより補正時間を短縮していた。

【0050】 そこで、第4の実施形態では、オフセット補正時間 $=T_1 \times (\text{オフセット電圧}) / (1LSB)$ の関係を考慮して、図5に示された1LSBずつ増減する時間 T_1 を短くすることにより、補正時間を短縮し、この急速なオフセット補正を実現した。図12に示されたオフセット補正イメージ図を参照して、この第4の実施形態を説明するが、これに用いるオフセット補正回路は、図4に示されたものと同様である。

【0051】 図12では、オフセット電圧Vについて、時刻 t_1 に補正を開始し、オフセット電圧Vを減らして信号の中心値 E_0 にするものである。ところで、図5に示されたオフセット補正イメージ図では、時間 T_1 内に、1LSBずつ変化させていた。そこで、上記関係を考慮すると、オフセット補正時間を短縮するには、1LSBを変えないのであれば、時間 T_1 を短くすればよい。よって、第4の実施形態では、この時間 T_1 を短くし、時間 T_2 とする。

【0052】 時間 T_1 を短かい時間 T_2 とするには、図4に示されたオフセット補正回路において、カウンタ6のカウントスピードを早くしてやればよい。これは、カウンタ6に接続されている補正タイミング作成部9によって行われる。この作成部9でカウンタ6のカウントタイミング時間 T_1 を調整する。この様にして、時間 T_1 を短くして時間 T_2 とすることにより、オフセット補正時間を短縮することができるが、短い時間 T_2 とすることは、オフセット補正回路系の安定時間より短くなる可能性がある。この場合には、オフセット補正回路系が安定しないうちに次の時間 T_2 の処理が開始されることになり、安定しないまま信号の中心値 E_0 に近づくことになる。この安定性に対処するために、第4の実施形態では、図7に示したように、時刻 t_3 でオフセット補正完了のフラグを検出する。そして、このフラグが検出されたら、カウンタ6のカウントスピードを遅くする。つまり、時間 T_2 より長い時間 T_3 とする。この時間 T_3 の長さは、時間 T_1 と同じであっても、又はさらに長くてもよい。

【0053】 また、これまで、オフセット電圧Vを1LSBずつ減らしていたが、オフセット補正時間をさらに早めるために、この第4の実施形態と上記第3の実施形態の両方を採用し、DAC7の変化量の増加と時間 T_1 の短縮とを共に用いてもよい。

【第5の実施形態】 オフセット補正時間を短縮するために、第3及び第4の実施形態では、DAC7の変化量の増加と時間 T_1 の短縮とを採用したが、第5の実施形態では、図4に示されたカウンタ6のカウント初期値をオフセット補正電圧付近に設定しておくようにした。

【0054】 図13のオフセット補正イメージ図を参照して、第5の実施形態を説明する。そして、この形態におけるオフセット補正回路の構成は、図4に示されたものと同様である。上記の実施形態では、図中oで示され

るように、オフセット電圧 V を時刻 t_1 から補正を開始し、1LSB又は数LSBづつ減少させることにより、信号の中心値 E_0 に近づけるものであるが、第5の実施形態では、図中bで示すように、時刻 t_1 に補正を開始する際に、オフセット電圧 V より小さい電圧 V' から開始できるように、レベルシフト回路5を設定しておく。

【0055】ここで、レベルシフト回路5のカウンタ6の初期値を $(V-V')$ の大きさに対応するカウント値に設定しておく。そうすると、カウンタ6はこの設定された初期値からカウントを開始するから、DAC7は時刻 t_1 には、 $(V-V')$ の大きさのアナログ値を出力し、保持している。そのため、図4に示す加算回路には、既に電圧 $(V-V')$ が印加されている。そして、補正を開始した時刻 t_1 以降は、電圧 V' を補正し、信号の中心値 E_0 に近づけることになる。

【0056】よって、電圧 $(V-V')$ については、1LSB又は数LSBづつによる補正を必要としないことから、その分、時間を短縮できる。時刻 t_1 には、予め電圧 V' を決めておく必要があるが、電圧 V' を任意に選択してカウンタ6の初期値を $(V-V')$ に対応するカウント値に予め設定しておいても良いし、また、オペアンプ1の直流出力を検出するようにし、オフセット量の大きさを把握した上で電圧 V' を選択して、カウンタ6の初期値を $(V-V')$ に対応するカウント値に設定しても良い。

【0057】また、この初期値をメモリに記憶するようにし、例えば、電源をオンにしたとき、記憶された初期値を読み出し、カウンタ6に初期値を設定できるようにしてもよい。初期値が変更されたときには、メモリの値も書き換えられるようにする。この様にすれば、電源のオンの度に設定しなくてよい。

【第6の実施形態】上記各実施形態では、図4に示されたオフセット補正回路を基本構成としている。この補正回路においては、各抵抗値が、それぞれ $R_1 = 1k\Omega$ 、 $R_2 = 100k\Omega$ 及び $R_3 = 100k\Omega$ である例で説明されている。

【0058】これらの例によると、前述したように、オフセット補正回路で時間 T_1 の間に加減できる補正幅は、1LSB=5mVであった。この幅は、DAC7の1ビットに対応するアナログ値の他に、図4に示された加算回路の構成要素である抵抗 R_2 と抵抗 R_3 による加算率によっても変わるものである。上記実施形態では、 $R_2 = R_3$ であって、加算率が1であるから、加算回路は、オペアンプ1の反転入力端子に5mVを加算する。

【0059】一方、オフセット補正するにあたって、その変化幅が上記5mVでは精度が十分でない場合もある。そこで、第6の実施形態では、補正可能レンジを犠牲にしても、補正の分解能を上げて、精度を向上した。図14を参照して、第6の実施形態を説明する。図14に示された増幅器におけるオフセット補正回路の基本構

成は、図4と変わりなく、図14中には、同じ部分には同じ符号を付した。

【0060】ただ、図14に示した第6の実施形態の例は、加算回路における抵抗の重み付けを変えて、加算率を変更している。付加抵抗 R_3 の大きさを、 $R_1 = 1M\Omega$ に換え、加算率は、 $R_2/R_1 = 1/10$ としている。したがって、第6の実施形態では、補正の分解能は1/10に改善される。つまり、1LSB=0.5mVとなる。

【0061】ここで示した例では、付加抵抗 R_1 の大きさを1M Ω のように固定とし、つまり加算率は一定として説明したが、付加抵抗 R_1 の大きさを変更できるようにしてもよい。付加抵抗 R_1 の大きさを変更するには、要求信号に応じて、アナログスイッチで切り換えるか、スイッチにより抵抗ショートするか、又は可変抵抗素子を用いれば、IC回路中で簡単に行える。

【0062】この例では、その改善された分、補正可能レンジは1/10に制限される。しかし、増幅器としてのゲインが低い場合には、広い補正レンジは不要なので、分解能を小さくできるように付加抵抗 R_1 の抵抗値を大きくし、また、高ゲインの場合は、その抵抗値を小さくすることにより補正可能レンジを広げることができる。

【0063】以上、第6の実施形態による補正の分解能の改善について説明したが、上記各実施形態に第6の実施形態を組み合わせて、必要なときに分解能を小さくすることもできる。

【第7の実施形態】図10に示したオフセット補正イメージ図によれば、時刻 t_1 に補正を開始し、時刻 t_3 までは n LSBの変化幅で信号の中心値 E_0 に近づけ、時刻 t_3 を過ぎると、変化幅を1LSBに減らしてさらに中心値 E_0 に近づけようとするものである。これは、時刻 t_3 までを粗補正、時刻 t_3 以降を微補正とみることができる。

【0064】しかし、時刻 t_3 以降を微補正としても、補正完了時には、1LSB、即ち5mV幅の変動が相変わらず残るものである。そこで、第7の実施形態では、粗補正と微補正とを別経路で補正し、しかも微補正においては、さらに精度を向上するものである。図15を参照して、第7の実施形態におけるオフセット補正回路について説明する。図15に示した増幅回路において、図4で示した部分と同じ部分については同じ符号を付した。

【0065】入力抵抗 R_1 及び帰還抵抗 R_2 を有するオペアンプ1のオフセットを補正するため、比較回路3、第1レベルシフト回路11と第2レベルシフト回路12、そして、付加抵抗 R_3 と R_1 が接続されている。ここで、比較回路3の出力を受ける第1レベルシフト回路11と付加抵抗 R_3 とでオフセット補正経路[1]を形成し、比較回路3の出力を受ける第2レベルシフト回路

「2」と付加抵抗 R_1 とでオフセット補正経路〔2〕を形成する。つまり、オフセット補正回路を2段直列に設けている。

【0066】第1レベルシフト回路11はアップダウンカウンタ13とディジタルアナログ変換器14とからなり、そして第2レベルシフト回路12はアップダウンカウンタ15とディジタルアナログ変換器16とからなる。また、図4と同様に抵抗 R_1 、抵抗 R_2 、抵抗 R_3 及びオペアンプ1の加算回路を形成するが、図15では、さらに抵抗 R_4 が加えられている。各抵抗値は、例えば、 $R_1 = 1\text{ k}\Omega$ 、 $R_2 = 100\text{ k}\Omega$ 、 $R_3 = 100\text{ k}\Omega$ 、 $R_4 = 1\text{ M}\Omega$ である。そのため、オフセット補正経路〔1〕に係る加算率は、 $R_2 / R_3 = 1$ であり、オフセット補正経路〔2〕に係る加算率は $R_2 / R_4 = 1 / 10$ であるように重み付けされる。

【0067】次に、図16のオフセット補正イメージ図を参照して、図15のオフセット補正回路の動作を説明する。図16に示した場合も、オフセット補正を行うときは、切換え回路2をバイアス電圧 E_0 側に切り換える。そして、入力信号が増幅されない期間Bが始まる時刻 t_1 に、オフセット電圧 V の補正を開始する。比較回路3は、オペアンプ1の出力とバイアス電圧 E_0 とを比較し、H又はLの出力信号を第1及び第2レベルシフト回路に出力する。

【0068】そして、カウンタ13及び15は、比較器4の信号に応じてカウンタを行う。DAC14と16は、ともに同じビット数、例えば、図4で示したDAC7と同様に10ビットとする。そうすると、カウンタ13及び15の出力に応じて、DAC14と16は1LSBのアナログ信号を出力するとともに、そのアナログ値を保持する。

【0069】カウンタ13は、補正経路〔1〕に属し、付加抵抗 R_3 にアナログ値を供給する。補正経路〔1〕の加算比率は、1であるので、図5の補正イメージ図でも説明したように、各抵抗値が上記のようであると、 $1\text{LSB} = 5\text{ mV}$ となる。そこで、補正経路〔1〕により、オペアンプ1の反転入力端子には、時間 T_1 毎に 5 mV づつ加算されることになる。

【0070】一方、カウンタ15は、補正経路〔2〕に属し、付加抵抗 R_4 にアナログ値を供給する。ところが、補正経路〔2〕の加算率は、 $1 / 10$ であるので、補正経路〔1〕とは異なり、 $1\text{LSB} = 0.5\text{ mV}$ となる。このため、補正経路〔1〕と同様に、オペアンプ1の反転入力端子に、さらに時間 T_1 毎に 0.5 mV づつ加算されることになる。

【0071】ここで、時刻 t_3 において、図7に示されたようなオフセット補正完了フラグを得て、補正経路〔1〕から補正経路〔2〕に切り換える。そうすると、時刻 t_3 までは、 $1\text{LSB} = 5\text{ mV}$ であるが、それ以降は、 $1\text{LSB} = 0.5\text{ mV}$ となつて、オフセット電圧 V

に対するオフセット補正は、微補正で完了する。また、時刻 t_3 まで、補正経路〔1〕と補正経路〔2〕の両方で、オペアンプ1の反転入力端子に加算してもよい。この場合、オペアンプ1の反転入力端子に時間 T_1 毎に 5.5 mV づつ加算されることになる。そして、時刻 t_3 に上記と同様にオフセット補正完了フラグを得て、補正経路〔1〕を止め、補正経路〔2〕のみを動作させれば、オフセット電圧 V に対するオフセット補正は、微補正で完了する。この場合は、それぞれの補正経路を切り換える場合より、オフセット電圧 V に対するオフセット補正を早く完了できる。

【0072】さらに、上記具体例では、DAC14及びDAC16を10ビットで構成した場合を説明したが、このDACを、例えば4ビットで構成して、DACの変動幅をもっと大きくすることにより、オフセット補正をより早く完了することもできる。

【第8の実施形態】第7の実施形態では、補正経路〔1〕と補正経路〔2〕とをそれぞれ独立して設けた。第8の実施形態では、DACを粗補正用と微補正用とに複数独立して設け、アップダウンカウンタを1つにし、補正経路の切り換えを不要とした。

【0073】図17を参照して、第8の実施形態を説明する。図17に示された増幅回路におけるオフセット補正回路の基本構成は、図15と変わりなく、図17中には、同じ要素には同じ符号を付した。ただ、図17では、独立した2つのDACを1つのカウンタに上位ビット側と下位ビット側に分けて接続して点が第7の実施形態と異なる。

【0074】比較器4のH又はLの出力信号は、アップダウンカウンタ17に入力される。そして、カウンタ17の上位ビット側にDAC14が接続されて第1レベルシフト回路11を構成し、カウンタ17の下位ビット側にDAC16が接続されて第2レベルシフト回路12を構成する。その他のオフセット補正回路の構成は、第7の実施形態と同様である。

【0075】ここで、図18を参照して、第8の実施形態におけるDACの変化量について説明する。ここでは、説明の便宜上、4ビットのDACを1つで構成した場合aと、2ビットのDACを2つで構成した場合bとについて模式的に比較して示した。これらの場合において、簡単化のため、加算回路の加算率をいずれも1とした。

【0076】場合aでは、DACが4ビットで構成されているから、 $1\text{LSB} = V / 8$ となり、時間 T_1 毎に $V / 8$ づつオフセット電圧 V を信号の中心値 E_0 に補正していく。しかし、カウンタの上位ビットと下位ビットでは同じ変化量であり、補正値が中心値 E_0 に近づいても変化量は $V / 8$ である。一方、場合bでは、2ビットのDACが、カウンタの上位ビット側と下位ビット側とにそれぞれ分けて接続されている。カウンタが上位ビット

で動作中には、 $1LSB = V/4$ であり、時間 T_1 毎に $V/4$ ずつオフセット電圧 V を信号の中心値 E_0 に補正していく。しかし、カウンタが下位ビットに移行するときには、オフセット補正電圧は $V/2$ になっているので、下位ビット側では、この $V/2$ の電圧を補正することになり、下位ビットに対応する2ビットDACの変化量は、 $1LSB = V/8$ となる。

【0077】したがって、場合aと場合bとでは、最終的に同じ変化量で補正を完了するが、場合bは、場合aに比較して、早く補正を完了でき、DACを少ない素子数で実現できる。そこで、図17に示されたオフセット補正回路で説明すると、補正経路【1】と補正経路【2】とは、カウンタ17を共有し、補正経路【1】のDAC14は、カウンタ17の上位ビット側に、そして補正経路【2】のDAC16は、カウンタ17下位ビット側にそれぞれ接続されている。

【0078】図17に示した例では、図15と同様に、補正経路【1】における加算率は1であるので、DAC14のアナログ出力に対応する変化量がそのままオペアンプ1の反転入力端子に印加される。DAC14が、例えば、2ビットであると、その変化量は $V/4$ である。オフセット補正を開始してからはDAC14の変化幅で補正されていく。

【0079】さらに補正されて、カウンタ17の上位ビットから下位ビットに移行するときには、補正電圧はオフセット電圧の $1/2$ になっている。そして、カウンタ17のカウントが下位ビットに移行すると、オフセット電圧の $1/2$ を補正することになるから、カウンタ17の下位ビット側に接続されたDAC16は、例えば、2ビットならば、 $V/8$ の変化量のアナログ値を出力する。

【0080】しかし、補正経路【2】の加算回路における加算率は、 $1/10$ となっているから、実際にオペアンプ1の反転入力端子に印加される電圧は、時間 T_1 毎に $V/80$ ずつ印加される。続いて、DAC16の出力が時間 T_1 毎に変化して信号の中心値 E_0 まで補正される。以上のように、第8の実施形態によれば、1つのカウンタの上位ビット側と下位ビット側とに独立したDACを接続することにより、粗補正と微補正とを切り換えることなく連続して行うことができた。しかも、微補正の精度を向上できる。また、例えば、2つの4ビットDACと8ビットのカウントの組み合わせ等によれば、さらにオフセット補正の精度を上げることができる。

【0081】

【発明の効果】以上、本発明について実施形態別に説明してきた。本発明では、オフセット補正回路を、比較回路、アップダウンカウンタ、デジタルアナログ変換器及び加算回路で構成したため、各回路要素におけるパラメータを変更することにより、オフセット補正の特性を容易に選択でき、上記各実施形態を種々組み合わせるこ

とが可能であり、オフセット補正時間の短縮、補正精度の向上を図ることができる。

【0082】そして、本発明によれば、信号の中心電圧をオペアンプに入力する切換え回路を接続したので、入力信号の増幅を行わない期間に、オフセット補正を行うことができる。そのため、増幅回路が組み込まれたシステムが動作中にオフセット補正することができる。

【図面の簡単な説明】

【図1】 一般的な増幅回路を示す。

【図2】 図1の増幅回路の入力信号と出力信号の関係を示す。

【図3】 図1の増幅回路の出力信号にオフセットが生じていることを示す。

【図4】 本発明の第1の実施形態による増幅回路におけるオフセット補正回路の全体構成を示す。

【図5】 本発明の第1の実施形態によるオフセット補正回路の動作タイミングチャートを示す。

【図6】 本発明の第1の実施形態による増幅回路のフローチャートを示す。

【図7】 オフセット電圧のオフセット補正イメージ図を示す。

【図8】 本発明の第2の実施形態による入力信号と出力信号の関係を示す。

【図9】 本発明の第2の実施形態による増幅回路におけるオフセット補正回路の全体構成を示す。

【図10】 本発明の第3の実施形態による増幅回路におけるオフセット補正イメージ図を示す。

【図11】 本発明の第3の実施形態の変形例による増幅回路におけるオフセット補正イメージ図を示す。

【図12】 本発明の第4の実施形態による増幅回路におけるオフセット補正イメージ図を示す。

【図13】 本発明の第5の実施形態による増幅回路におけるオフセット補正イメージ図を示す。

【図14】 本発明の第6の実施形態による増幅回路におけるオフセット補正回路の全体構成を示す。

【図15】 本発明の第7の実施形態による増幅回路におけるオフセット補正回路の全体構成を示す。

【図16】 本発明の第7の実施形態による増幅回路におけるオフセット補正イメージ図を示す。

【図17】 本発明の第8の実施形態による増幅回路におけるオフセット補正回路の全体構成を示す。

【図18】 本発明の第8の実施形態によるオフセット補正回路におけるデジタルアナログ変換器の動作イメージ図を示す。

【符号の説明】

1…オペアンプ

2…切換え回路

3…比較回路

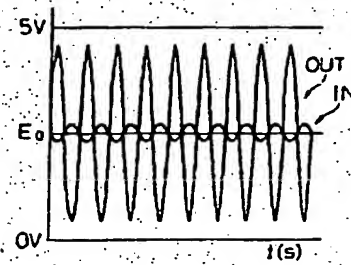
5、11、12…レベルシフト回路

6、13、15、17…アップダウンカウンタ

$R_1, R_2, R_3, R_4 \cdots$ 抵抗
 $V \cdots$ オフセット電圧

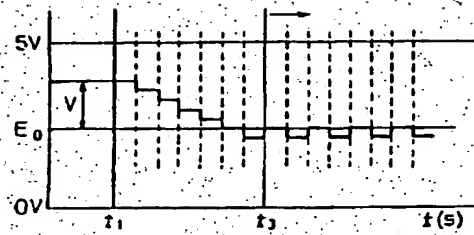
【例2】

2.

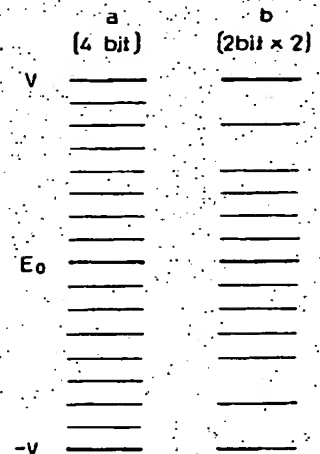


【 註 釋 】

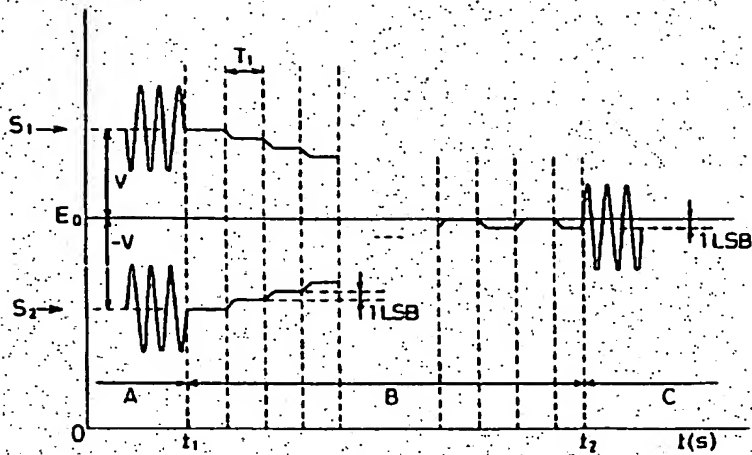
7



【例 1.8】

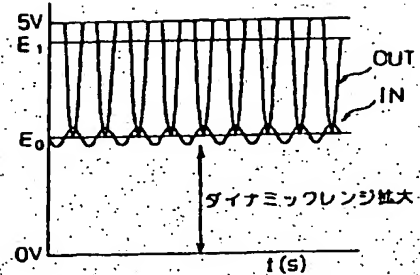


【図5】



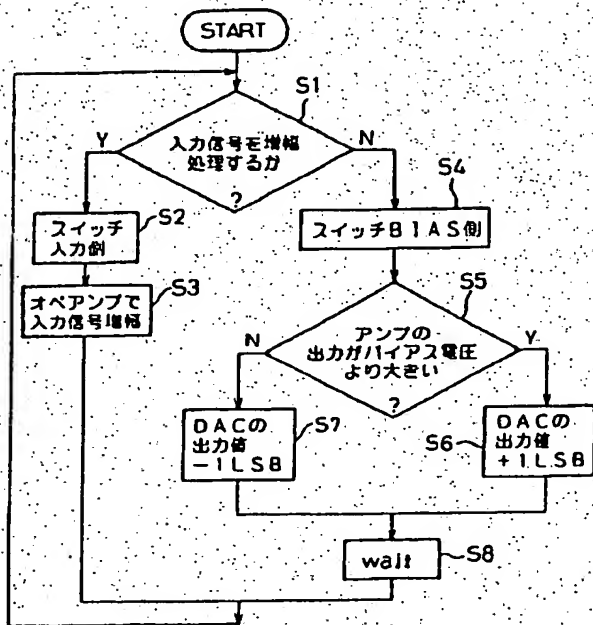
【図8】

図 8



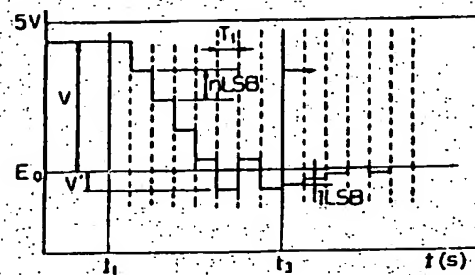
【図6】

図 6



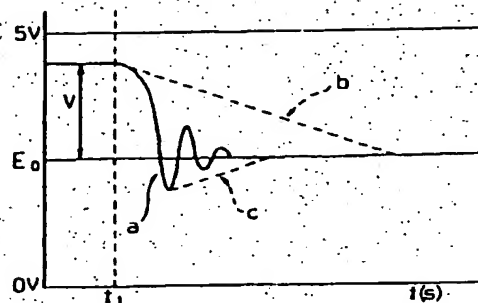
【図10】

図 10

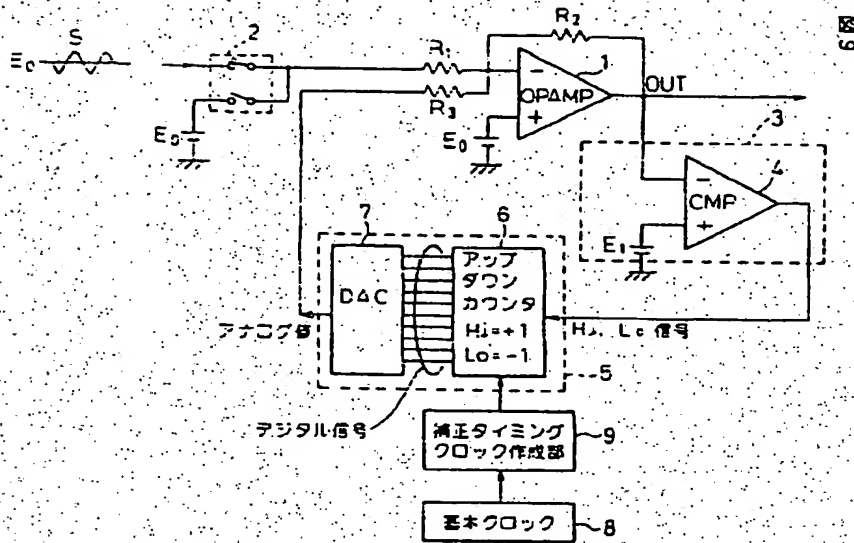


【図11】

図 11

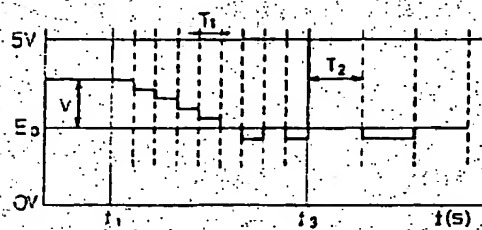


【図9】



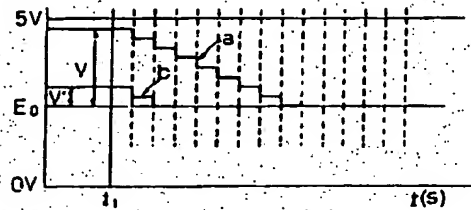
【図12】

図 12

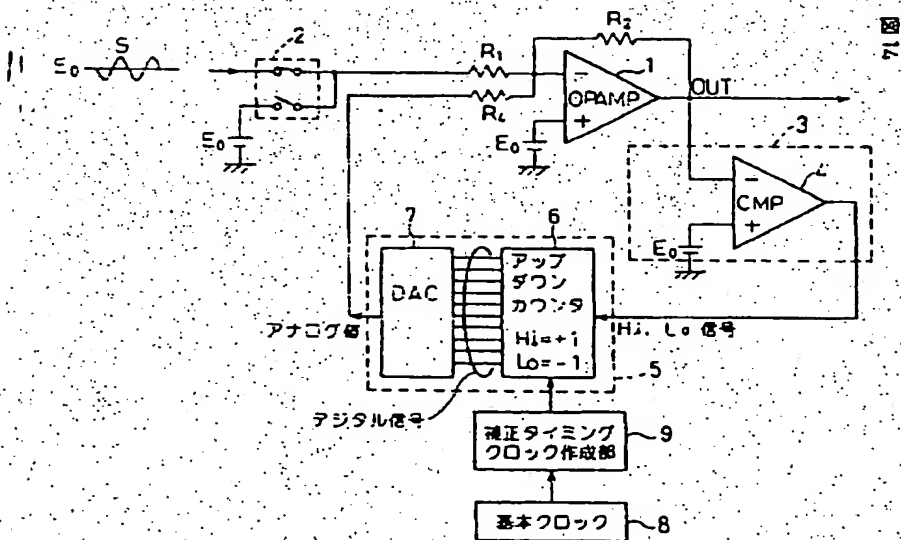


【図13】

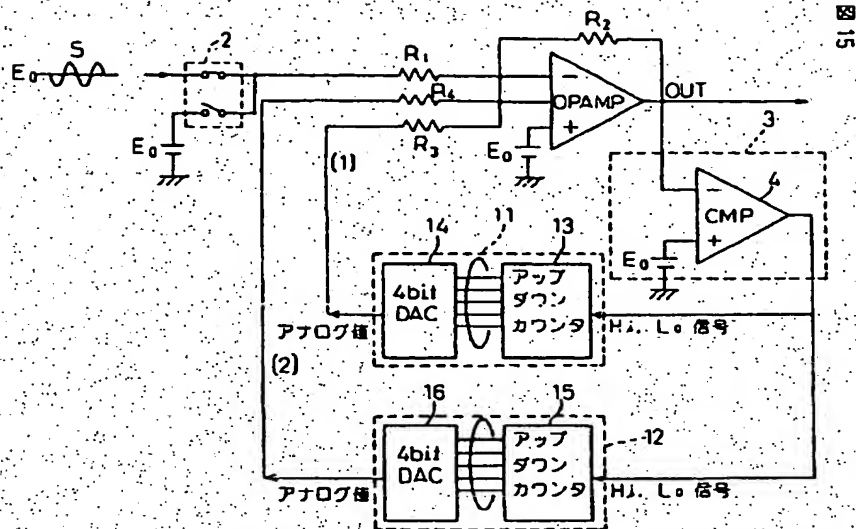
図 13



【図14】

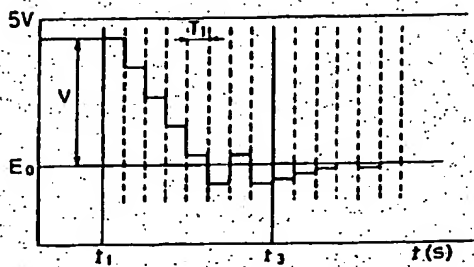


【図15】

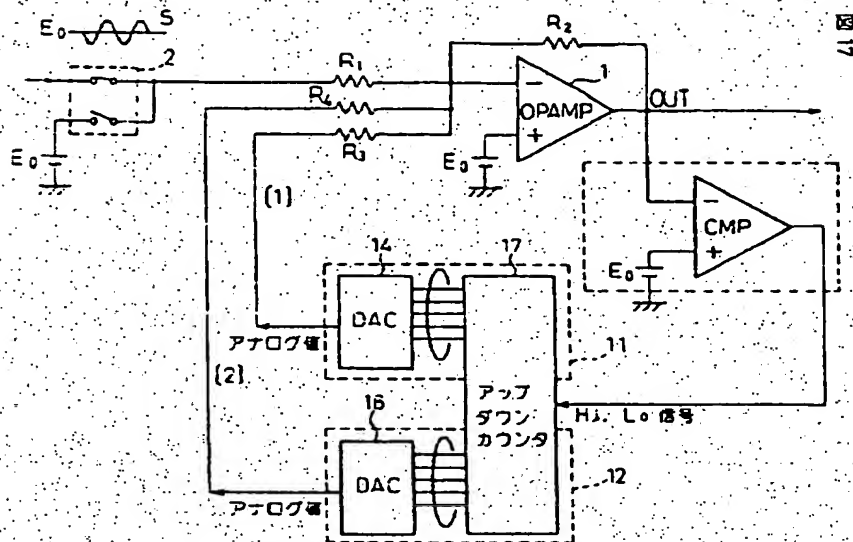


【図16】

図16



【図17】



フロントページの続き

ドクターム(参考) 5,1066 AA01 AA17 CA13 FA20 HA25
HA38 KA11 KA17 KA18 KA26
KA34 KA35 MA20 TA01 TA06
TA07

5,1090 AA01 AA17 CA13 FA20 FN08
FN09 HA25 HA38 KA11 KA17
KA18 KA26 KA31 KA35 MA20
TA01 TA06 TA07

5,1091 AA01 AA17 CA13 FA20 HA25
HA38 KA11 KA17 KA18 KA26
KA31 KA35 MA20 TA01 TA06
TA07